

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-209041
 (43) Date of publication of application : 03.08.2001

(51) Int. Cl. G02F 1/1335
 G02F 1/1368

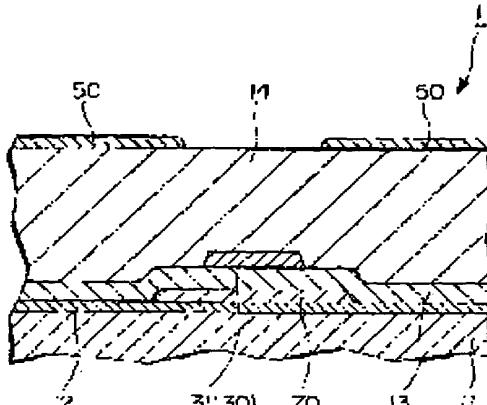
(21) Application number : 2000-016175 (71) Applicant : SEIKO EPSON CORP
 (22) Date of filing : 25.01.2000 (72) Inventor : FUJITA SHIN

(54) OPTOELECTRONIC DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To heighten the degree of freedom of a width dimension by setting the width dimension of a data line positioned between pixel electrodes to be an optional dimension smaller than the dimension of the gap between the pixel electrodes.

SOLUTION: Pixel electrodes 50 and 50 arranged along a scanning line are formed on a second interlayer insulating film 14 and a data line 30 is disposed in a gap between the pixel electrodes 50 and 50 and a light shielding film 70 is formed on the lower side of the data line so as to cover the gap through a first interlayer insulating film 13. Since the capacitance C_{c1} of the data line 30 and the light shielding film 70 and the capacitance C_{c2} of the light shielding film 70 and the pixel electrode 50 make a relational formula $C_{c1} > C_{c2}$, the capacitance C_{c1} does not affect the parasitic capacitance by the data line 30 and the parasitic capacitance by the light shielding film 70. Thereby, the width dimension of the data line 30 can be optionally set.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) : 1998, 2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-209041

(P2001-209041A)

(43)公開日 平成13年8月3日(2001.8.3)

(51)Int.Cl.
G 0 2 F 1/1335
1/1368

識別記号
5 0 0

F I
G 0 2 F 1/1335
1/136

テ-マコ-ト(参考)
5 0 0 2 H 0 9 1
5 0 0 2 H 0 9 2

審査請求 未請求 請求項の数7 O.L (全 13 頁)

(21)出願番号 特願2000-16175(P2000-16175)

(22)出願日 平成12年1月25日(2000.1.25)

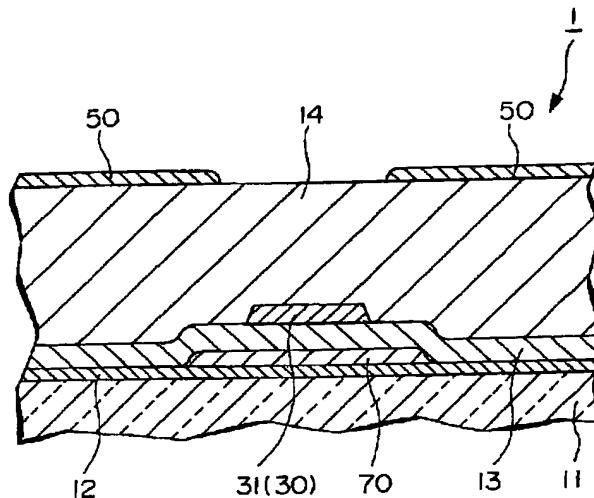
(71)出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72)発明者 藤田 伸
長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内
(74)代理人 100093388
弁理士 鈴木 喜三郎 (外2名)
F ターム(参考) 2H091 FA34Y FB08 GA03 GA13
LA17
2H092 GA26 HA04 JA05 JA24 JB35
JB51 JB69

(54)【発明の名称】 電気光学装置

(57)【要約】

【課題】 画素電極間に位置するデータ線の幅寸法を画
素電極間の隙間寸法よりも小さい任意の寸法に設定し、
幅寸法の自由度を高める。

【解決手段】 第2の層間絶縁膜14上には走査線に沿
って並ぶ画素電極50, 50が形成され、この画素電極
50, 50の隙間にはデータ線30が配置され、その下
側には遮光膜70が第1の層間絶縁膜13を介して隙間
を覆うように形成されている。また、データ線30と遮
光膜70との容量Cc1、遮光膜70と画素電極50との
容量Cc2がCc1>Cc2となるから、容量Cc1は、データ
線30による寄生容量、遮光膜70による寄生容量に影
響を与えることがない。これにより、データ線30の幅
寸法を任意に設定することができる。



【特許請求の範囲】

【請求項1】複数本の走査線と、
該各走査線と交差する複数本のデータ線と、
前記各走査線と前記各データ線との各交差位置に対応して設けられた複数のスイッチング手段と、
前記各スイッチング手段にそれぞれ接続された画素電極と、
蓄積容量と、
を備えてなる電気光学装置において、
前記走査線に沿って並んだ各画素電極間の隙間には前記データ線が配置されると共に、該隙間を覆うように不透明な導電性の遮光膜と、前記蓄積容量の電極となる容量線とが配置され、
前記遮光膜と前記容量線とは同一材料からなると共に、互いに電気的に絶縁されてなり、
該遮光膜と前記データ線との間の容量よりも前記遮光膜と前記画素電極との間の容量は小さいことを特徴とする電気光学装置。

【請求項2】複数本の走査線と、
該各走査線と交差する複数本のデータ線と、
前記各走査線と前記各データ線との各交差位置に対応して設けられた複数のスイッチング手段と、
前記各スイッチング手段にそれぞれ接続された画素電極と、
蓄積容量と、
を備えてなる電気光学装置において、
前記走査線に沿って並んだ各画素電極間の隙間には前記データ線が配置されると共に、該隙間を覆うように不透明な導電性の遮光膜と、前記蓄積容量の電極となる容量線とが配置され、
前記遮光膜と前記容量線とは同一材料からなると共に、互いに電気的に絶縁されてなり、
前記遮光膜はその両端が前記画素電極と重なり、前記データ線は前記遮光膜と重なり合った領域に各画素電極間の隙間よりも幅の狭くなった部分を有し、
該遮光膜と前記データ線との間の容量よりも前記遮光膜と前記画素電極との間の容量は小さいことを特徴とする電気光学装置。

【請求項3】前記遮光膜と前記データ線とが重なり合う面積が、前記遮光膜と前記画素電極とが重なり合う面積よりも大きいことを特徴とする請求項1または2記載の電気光学装置。

【請求項4】前記遮光膜と前記データ線との間の層間絶縁膜の比誘電率が、前記データ線と前記画素電極との間の層間絶縁膜の比誘電率よりも大きいことを特徴とする請求項1または2記載の電気光学装置。

【請求項5】前記遮光膜と前記データ線との間の層間絶縁膜厚が、前記データ線と前記画素電極との間の層間絶縁膜厚よりも小さいことを特徴とする請求項1または2記載の電気光学装置。

【請求項6】前記容量線と前記遮光膜とは、同一材料により同一工程で形成されてなることを特徴とする請求項1または2に記載の電気光学装置。

【請求項7】前記容量線及び前記遮光膜は、Ta, Cr, Al等の導電性膜のいずれかからなることを特徴とする請求項1または2に記載の電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリックス型の液晶表示パネル等の電気光学装置に関する。

【0002】

【従来の技術】電気光学装置の一例であるアクティブマトリックス型の液晶パネルは、ガラス板または石英板からなる素子基板および対向基板と、これらの基板の間に封入された電気光学物質としての液晶とから大略構成される。この場合、素子基板には、それぞれ平行でほぼ直交するように形成された複数本の走査線及び複数本のデータ線と、各走査線と各データ線に接続された複数のスイッチング手段と、前記各スイッチング手段にそれぞれ接続された画素電極と、を備えている。

【0003】また、各スイッチング手段は、例えば、ポリシリコンにより形成された薄膜トランジスタ(Thin-Film-Transistor(以下、TFTという))であり、該TFTは、そのゲート電極が走査線に接続され、ソース領域がデータ線に接続され、さらにドレイン領域が画素電極に接続されている。さらに、各TFTには、各走査線を介して走査信号が、各データ線を介して画像信号が、外部からそれぞれ入力される。

【0004】そして、液晶パネルでは、入力された走査信号及び画像信号に応じて画素電極と対向電極との間に電界を発生させ、各基板間に封入された液晶の偏光率を変えることによって、画像表示が行われる。

【0005】さて、以上説明した液晶パネルでは、素子基板におけるデータ線の寄生容量を低減させるため、画素電極とデータ線とが重なり合わないように両者の間に隙間を設けていた。しかし、この隙間から光が漏れてしまいコントラストを高めることができないという問題があった。

【0006】そこで、この問題を解決するために、例えば特開昭61-235820号公報(以下、従来技術という)では、素子基板上に光の漏れを防止するための遮光膜を形成した電気光学装置を提案している。この技術に關し、図26を参照して説明すると次の通りである。

【0007】図26において、走査線130に沿って並んだ画素電極100間の隙間にデータ線110が形成されている。そして、このデータ線110とその左側の画素電極100との間に隙間があり、さらにデータ線110とその右側の画素電極100との間に隙間がある。そこで、この図26に示す構成では、これらの各隙間を覆うように遮光膜120A, 120Bを形成している。

【0008】この構成によれば、遮光膜120A, 120Bとデータ線110とが重なる部分、遮光膜120と画素電極100とが重なる部分を少なくすることによってデータ線110に寄生する容量を低減し、遮光膜120A, 120Bを通して隣り合う画素電極100同士の結合容量を低減することができる。

【0009】

【発明が解決しようとする課題】ところで、上述した従来の電気光学装置において光漏れを防ぐためには、図26における遮光膜120Aの左側端部を画素電極100の右側端部に所定幅だけオーバラップさせるとともに、同遮光膜120Bの右側端部をデータ線110の左側端部に所定幅（例えば幅d1とする）だけオーバラップさせる必要がある。データ線110の右側の遮光膜120Bについても同様である。また、製造技術上の制約により、遮光膜120Aおよび120Bとの間は一定距離（例えば距離d2とする）以上離間させる必要がある。このような制約があることから、図26に示す構成を採用した場合には、画素電極100間におけるデータ線100の幅を2d1+d2以上にしなければならないという問題が生じる。

【0010】また、従来の電気光学装置においてデータ線110と画素電極100との間に介在する寄生容量の大きさは、データ線110と遮光膜120Aまたは遮光膜120Bとのオーバラップ長d1（幅d1）、遮光膜120Aまたは遮光膜120Bと画素電極100とのオーバラップ長に依存するが、これらの各オーバラップ長は、電気光学装置の製造時にばらつくこととなる。このため、縦表示むらが発生する場合がある。

【0011】この発明は、以上説明した事情に鑑みてなされたものであり、その第1の目的は、データ線の幅に関する設計の自由度を犠牲にすることなく、遮光膜による光漏れ防止を行うことができる電気光学装置を提供することにある。また、この発明の第2の目的は、製造時のパターンのばらつきによるデータ線及び画素電極容量のばらつきがなく、縦むらを抑えた電気光学装置を提供することにある。

【0012】

【課題を解決するための手段】上述した課題を解決するため、第1の発明は、複数本の走査線と、該各走査線と交差する複数本のデータ線と、前記各走査線と前記各データ線との各交差位置に対応して設けられた複数のスイッチング手段と、前記各スイッチング手段にそれぞれ接続された画素電極と、蓄積容量と、を備えてなる電気光学装置において、前記走査線に沿って並んだ各画素電極間の隙間には前記データ線が配置されると共に、該隙間を覆うように不透明な導電性の遮光膜と、前記蓄積容量の電極となる容量線とが配置され、前記遮光膜と前記容量線とは同一材料からなると共に、互いに電気的に絶縁されてなり、前記遮光膜はその両端が前記画素電極と重なり、前記データ線は前記遮光膜と重なり合った領域に各画素電極間の隙間よりも幅の狭くなった部分を有し、該遮光膜と前記データ線との間の容量よりも前記遮光膜と前記画素電極との間の容量は小さいことを特徴としている。

も前記遮光膜と前記画素電極との間の容量は小さいことを特徴としている。

【0013】このような構成とすることにより、遮光膜は画素電極間の隙間を覆って隙間から漏れる光をなくして漏れた光によるコントラストの低下を防止し、画像のコントラストを高めることができる。

【0014】しかも、画素電極、データ線、遮光膜間ににおける容量を考えると、遮光膜による寄生容量は、遮光膜とデータ線との間に形成される容量Cc1に前記遮光膜と前記画素電極との間に形成される容量Cc2を合わせたものとなり、データ線による寄生容量Cdは、データ線と画素電極との間に形成される容量Cd0に前記遮光膜の寄生容量Ccを合わせたものとなる。

【0015】ここで、容量Cc1, Cc2はコンデンサの直列接続したものと見なした上で、条件Cc1>Cc2を適用すると、遮光膜による寄生容量Cc=Cc2となるため、遮光膜による寄生容量Ccは、遮光膜とデータ線との間に形成される容量Cc1を無視することができる。

【0016】そして、データ線による寄生容量は、データ線と画素電極との間に容量Cd0に遮光膜と画素電極との間の容量Cc2を合わせたものとなり、遮光膜とデータ線との間の容量Cc1を無視することができる。これにより、上記条件を満足している場合、データ線による寄生容量がデータ線の幅の影響を受けなくなる。このため、データ線の幅についての設計の自由度を従来技術よりも高めることができる。

【0017】また、第2の発明は、複数本の走査線と、該各走査線と交差する複数本のデータ線と、前記各走査線と前記各データ線との各交差位置に対応して設けられた複数のスイッチング手段と、前記各スイッチング手段にそれぞれ接続された画素電極と、蓄積容量と、を備えてなる電気光学装置において、前記走査線に沿って並んだ各画素電極間の隙間には前記データ線が配置されると共に、該隙間を覆うように不透明な導電性の遮光膜と、前記蓄積容量の電極となる容量線とが配置され、前記遮光膜と前記容量線とは同一材料からなると共に、互いに電気的に絶縁されてなり、前記遮光膜はその両端が前記画素電極と重なり、前記データ線は前記遮光膜と重なり合った領域に各画素電極間の隙間よりも幅の狭くなった部分を有し、該遮光膜と前記データ線との間の容量よりも前記遮光膜と前記画素電極との間の容量は小さいことを特徴としている。

【0018】このような構成により、第2の発明においても、第1の発明と同様の効果を奏する。

【0019】しかも、製造時のパターンのばらつきによるデータ線と画素電極間の寄生容量のばらつきがなく、縦むらの発生を抑えることができる。

【0020】前記各発明において、遮光膜とデータ線との間の容量よりも遮光膜と画素電極との間の容量を小さくする実施態様としては、前記遮光膜と前記データ線とが

重なり合う面積が、前記遮光膜と前記画素電極とが重なり合う面積よりも大きいことが好ましい。

【0021】また、前記遮光膜と前記データ線との間の層間絶縁膜の比誘電率が、前記データ線と前記画素電極との間の層間絶縁膜の比誘電率よりも大きいことが好ましい。

【0022】さらに、前記遮光膜と前記データ線との間の層間絶縁膜厚が、前記データ線と前記画素電極との間の層間絶縁膜厚よりも小さいことが好ましい。

【0023】このような構成とすることにより、遮光膜とデータ線との間の容量よりも遮光膜と画素電極との間の容量を小さくすることができる。

【0024】また、前記容量線と前記遮光膜とは、同一材料により同一工程で形成することが好ましい。

【0025】さらに、前記容量線及び前記遮光膜は、T a、C r、A 1等のいずれかからなることが好ましい。

【0026】

【発明の実施の形態】以下、この発明の一実施形態である電気光学装置として、アクティブマトリックス型液晶パネルを例に挙げて説明する。

【0027】〔1〕実施形態の構成

<1・1>素子基板の概略構成

図1は、本実施形態に係る液晶パネルの素子基板1に形成された回路の構成を示す等価回路図である。図1において、本実施形態による液晶装置の画像表示領域を構成するマトリックス状に形成された複数の画素は、マトリックス状に複数形成された画素電極50と、画素電極50を制御するためのTFT40からなり、画像信号が供給されるデータ線30が当該TFT40のソースに電気的に接続されている。データ線30に書き込む画像信号S1、S2、…、Snは、この順に線順次に供給されても構わないし、相隣接する複数のデータ線30同士に対して、グループ毎に供給するようにしてもよい。また、TFT40のゲート電極には走査線20が電気的に接続されており、所定のタイミングで、走査線20にパルス的に走査信号G1、G2、…、Gmがこの順に線順次で印加するように構成されている。画素電極50は、TFT40のドレインに電気的に接続されており、TFT40を所定期間だけそのスイッチを閉じることにより、データ線30から供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極50を介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持する。ここで、保持された画像信号がリークするのを防ぐために、画素電極50と対向電極との間に形成される液晶容量と並列に蓄積容量Csを設ける。これにより、保持特性は改善され、コントラスト比の高い液晶装置が実現できる。

【0028】<1・2> 素子基板の具体的な構成

次に、図2ないし図4を参照しつつ、素子基板上の1個

の画素の構成について説明する。なお、図2は素子基板1上の画素の平面図、図3は図2中の矢視III-III'

(注:図面にIII'を修正をお願いします。)方向から見た変形断面図、図4は図2中の矢視IV-IV方向から見た断面図である。

【0029】図2において、データ線30は、図2における左右方向に隣り合った各画素電極50の間を通過するように、上下方向に配線されている。走査線20は、各々左右方向に並んだ一行分の画素電極50の下層に形成されている。

【0030】また、TFT40は、画素電極50とともに、データ線30と走査線20との各交差位置に対応して設けられている。このTFT40は、半導体層41を有している。そして、この半導体層41と、走査線20から突出したゲート電極21との交差領域が、TFT40のチャネル形成領域41dとなっている。また、半導体層41のうちゲート電極21に対して、図中左側にある部分はTFT40のソース領域41aである。ソース領域41a上には、層間絶縁膜13が形成されている。ソース領域41aは、層間絶縁膜13に形成されたスルーホール13aを介してデータ線30に接続されている。

【0031】一方、半導体層41のうちゲート電極21に対して、図中右側にある部分はTFT40のドレイン領域41bである。ドレイン領域41bは、ソース領域41aと同様に、第1の層間絶縁膜13に形成されたスルーホール13bを介して、データ線30と同一材料で同時に形成された接続導電層52に接続されている。さらに、データ線30及び接続導電層52上には、第1の層間絶縁膜14が形成されている。接続導電層52は、第1の層間絶縁膜14に形成されたスルーホール14aを介して、画素電極50に接続されている。

【0032】容量線60は、各走査線20とほぼ並行に、走査線20と同一材料で形成されている。容量線60及び走査線20は、例えば、T a、C r、A 1等の金属で形成されている。蓄積容量Csは、この容量線60と、半導体層41のドレイン領域41bから延在する領域41cとの間にゲート絶縁膜12と同一膜からなる誘電体膜を有することにより構成されている。

【0033】また、図2に示されるように、本実施形態におけるデータ線30は、その線幅が一定ではなく、幅の広い部分と幅の狭い部分とにより構成されている。さらに詳述すると、平面的に見て、データ線30の左右両側には、2列の画素電極50が上下方向に配置されているが、データ線30のうち、各画素電極50の側部の上端部近傍から下端部近傍までの所定の区間と対向している部分は、左右方向の画素電極50の間隔よりも幅が狭くなっている。

【0034】なお、以下では便宜上、このデータ線30における幅の狭くなった部分を狭幅部31と呼ぶ。そし

て、データ線30における狭幅部31以外の区間の幅は広く、この区間におけるデータ線30はその左右両側端部が画素電極50の側端部とオーバラップしている。

【0035】遮光膜70は、データ線30の狭幅部31とその左側の画素電極50との間に生じた隙間および同狭幅部31とその右側の画素電極50との間に生じた隙間の両方を塞いで光漏れ防止を行う導電性の不透明膜であり、これらの2個の隙間を包含する連続した島状の形状を有している。

【0036】上述した従来の電気光学装置では、データ線の両側に生じた2つの隙間の各々を相互に分離された各遮光膜により塞いでいたのに対し、本実施形態では、データ線30における狭幅部31の両側に生じた2つの隙間を、そのデータ線30の左側の画素電極50の側端部から同データ線30の右側の画素電極50の側端部にまで至る1個の島状の遮光膜によって塞いでいる。

【0037】本実施形態において、遮光膜70は走査線20及び容量線60とともに、同一材料で同一の工程により形成することができる。また、遮光膜70は、他から独立した島状の不透明膜であり、容量線60から電気的に絶縁されている。

【0038】次に、図3および図4に示す断面図を参照しつつ、素子基板1を構成する他の部材について説明する。

【0039】素子基板1の基台をなす基板11は、ガラス（例えば、無アルカリ、石英等）の絶縁性材料によって形成されている。また、該基板11の表面には、半導体層41が形成されている。半導体層41の表面にはゲート絶縁膜12が被膜形成されている。

【0040】ゲート絶縁膜12上には走査線20、容量線60および遮光膜70が形成され、これらを覆うよう第1の層間絶縁膜13が形成されている。

【0041】第1の層間絶縁膜13に形成されたスルーホール13aを介して、半導体層41のソース領域41aに接続されるようにデータ線30が形成されるとともに、ドレイン領域41bに接続されるように接続導電層52が形成されている。

【0042】データ線30および接続導電層52を覆うように第2の層間絶縁膜14が形成されている。なお、第1の層間絶縁膜13、第2の層間絶縁膜14は、それぞれN-SG膜（酸化シリコン膜）やB-P-SG膜（ボロンおよびリンを含むシリケートガラス膜）等の絶縁材料によって形成されている。第2の層間絶縁膜14に形成されたスルーホール14aを介して、接続導電層52に接続されるように画素電極50が形成されている。このように、画素電極52は、接続導電層52を介してドレイン領域41bに接続されている。

【0043】ここで、遮光膜70は、図4に示すように、画素電極50のうち列方向に隣り合う画素電極50間の隙間を覆うように走査線20と同じ不透明な導電性

材料によって形成されている。

【0044】また、TFT40の半導体層41には、後述するイオン打込み処理によって、ソース・ドレイン・チャネル領域がそれぞれ形成されている。

【0045】ここで、遮光膜70が形成されている部分について着目すると、図2に示すように、データ線30は狭幅部31となっているため、データ線30と画素電極50とは殆ど重ならず、遮光膜70と画素電極50とは重なることによって、走査線20に沿って並ぶ画素電極50の隙間を遮光膜70によって覆っている。

【0046】（1・3） 素子基板の製造方法
次に、図5乃至図22に基づいて、素子基板1の製造方法について説明する。図5乃至図10、図13乃至図17、図19、図20は図2のIII-III断面図に相当する。

【0047】図5に示すように、基板11の上面にポリシリコン層42を、例えば減圧CVD法等によって50～200nmの厚さで、好ましくは100nm弱の厚さで堆積させる。または、アモルファスシリコンを形成した後に、熱処理あるいはレーザーニール処理を行うことによって、ポリシリコン層を形成してもよい。

【0048】次に、図6に示すように、基板11上のポリシリコン層42をフォトエッチングによってパターンニングして、TFT40のソース・ドレイン・チャネルとなる半導体層41を形成する。図7はパターンニングされた半導体層41を平面的に示す図であり、略L字状の半導体層41を各画素に対応した部分に形成する。半導体層41により、ソース・ドレイン・チャネルとなる領域と、蓄積容量Csの一方の電極となる領域41c

（注：図示されていないので、図面に記載をお願いします。）が形成される。

【0049】次に、図8に示すように半導体層41の表面にゲート絶縁膜12を形成する。ゲート絶縁膜は、熱酸化処理によって形成してもよいし、プラズマCVD法によりTEOS（テトラエチルオルソシリケート）と酸素ガスとの混合ガスを原料ガスとして形成してもよい。ゲート絶縁膜12は、2～50nm、ここでは20nmの膜厚の酸化シリコン膜である。次に、図示を省略するが、蓄積容量Csの一方の電極となる領域41cにイオン注入法により不純物としてリンイオンを5×10¹⁴～10¹⁶個/cm³のドーズ量で注入して低抵抗化することにより、一方の電極を形成する。

【0050】次に、図9に示すように、ゲート絶縁膜12上に、走査線20、容量線60および遮光膜70となる低抵抗なMo、Ta、Ti、W、Cr、Al等の金属、或いはこれらのメタルシリサイド、あるいはポリシリコン膜からなる導電膜22を形成する。

【0051】次に、図10に示すように、導電膜22を、フォトエッチングによりパターンニングして、ゲート電極21を含む走査線20、容量線60を形成する。

ここで、図11は、図10に示す工程を終えた後の図2の矢視IV-IV'（注：図面にV'を記載していただきますようお願いします。）方向から見た断面図であり、図12は、図2の平面図である。図11及び図12に示されるように、走査線20及び容量線60とともに、遮光膜70が形成される。

【0052】図12に示されるように、半導体層41は、走査線20のゲート電極21と交差する部分がチャネル領域41dとなる。また、容量線60が半導体層41と交差する領域部分で蓄積容量Csを形成する。

【0053】次に、図13に示すように、ゲート電極21をマスクとして不純物（例えばリン）のイオン $1 \times 10^{13} \sim 2 \times 10^{14}$ 個/cm³を打ち込むことにより半導体層41のソース領域41aとドレイン領域41bとを形成する。

【0054】なお、ソース領域41a、ドレイン領域41bは、不純物（リン）を $1 \times 10^{13} \sim 3 \times 10^{13}$ [atoms/cm³] のドーズ量にてライトドープして低濃度領域を形成した後に、ゲート電極21の幅よりも広いマスク層を走査線20上に形成して、さらに不純物（リン）を $1 \times 10^{15} \sim 3 \times 10^{15}$ [atoms/cm³] のドーズ量で打込むことによって、マスクされた領域がLDD (Lightly Doped Drain)構造となるようにしてもよい。或いは、LDD構造ではなく、ゲート電極21の幅よりも広いマスクを使用してパターンを形成し、続いてイオンを打込んでソース領域・ドレイン領域を形成した後に、ゲート電極21をオーバエッチングすることにより形成するオフセット構造としてもよい。

【0055】次に、図14に示すように、ゲート電極21及び容量線60を覆うように第1の層間絶縁膜13を、例えばCVD法等によって約800°Cの温度下で500~1500nmの厚さ寸法D1で堆積させる。

【0056】次に、図15に示すように、第1の層間絶縁膜13のうち半導体層41のソース領域41a、ドレイン領域41bに対応した位置にスルーホール13a、13bを形成する。

【0057】次に、図16に示すように、データ線30、接続導電層52となるアルミニウム等の低抵抗な導電層33をスパッタ法により堆積する。

【0058】次に、図17に示すように、導電層33をフォトエッチングによりパターンニングし、データ線30および接続導電層52を形成する。データ線30及び接続導電層52は、それぞれ第1の層間絶縁膜13のスルーホール13a、13bを介してソース領域41a、ドレイン領域41bに接続される。

【0059】ここで、図18は、図17に示す工程を終えた後の画素の平面図である。図18に示すように、データ線30は遮光膜70が形成されている部分で幅寸法が狭くなった狭幅部31となり、データ線30はスルーホール13aを介してソース領域41aに接続されてい

る。また、接続導電層52はスルーホール13bを介して能動層41のドレイン領域41bに接続されている。

【0060】次に、図19に示すように、データ線30および接続導電層52を覆うように、第2の層間絶縁膜14を、例えばCVD法等によって約500°Cの低温度下で500~1500nmの厚さ寸法D2 (D2>D1)で形成する。

【0061】次に、図20に示すように、第2の層間絶縁膜14のうち接続導電層52に対応した位置にドライエッチングによってスルーホール14aを形成する。

【0062】さらに、図21に示すように、画素電極50となるITO膜54をスパッタ法で、例えば150nmの厚さに形成する。このとき、スルーホール14aを介してITO膜54は接続導電層52に接続される。

【0063】次に、図22に示すように、ITO膜54をフォトエッチングによってパターニングを行うことにより、画素電極50を形成する。そして、画素電極50は、第2の層間絶縁膜14のスルーホール14aを介して接続導電層52に接続され、接続導電層52は、第1の層間絶縁膜13のスルーホール13bを介してドレイン領域41bに接続されている。

【0064】本実施形態による素子基板1は、以上述べた工程によって製造することができる。

【0065】[2] 不透明膜（遮光膜）の構成
遮光膜70は、図2に示すように、画素電極50とデータ線30の狭幅部31との間の隙間を覆うように、導電性の不透明膜によって形成されている。従って、この遮光膜70は、データ線と画素電極との隙間から光が漏れるのを防止する遮光膜として機能させることができる。これにより、液晶パネルのコントラストを高めることができる。

【0066】ここで、遮光膜70の周辺部位の大きさを、図23に示すように、便宜上規定する。なお、図23は図2中の矢視IV-IV方向からみた断面図を簡略化して図示したものである。

【0067】即ち、列方向に隣り合う画素電極50の隙間W0には、隙間W0よりも小さい幅寸法W1を有するデータ線30が配置され、該データ線30の下側には、該データ線30の幅寸法W1よりも大きい幅寸法W2 (W2>W0)を有する遮光膜70が配置され、該遮光膜70とデータ線30とが交わる面積をSとする。（注：隙間W0よりも小さい幅寸法W1を有すれば、寄生容量を小さくすることができる効果を記載していただきますようお願いします。）

【0068】また、遮光膜70とデータ線30との間に厚さ寸法D1の第1の層間絶縁膜13が介在し、データ線30と画素電極50との間には厚さD2 (D2>D1)の第2の層間絶縁膜14が介在している。

【0069】そこで、遮光膜70による寄生容量Ccについて考えると、遮光膜70とデータ線30との間に形

40aにはデータ線駆動回路（図示せず）が形成されている。即ち、遮光膜1006は、この領域に形成される駆動回路に光が入射するのを防止している。この遮光膜1006には、対向電極1008と共に、交流化駆動信号が印加される構成となっている。このため、遮光膜1006が形成された領域では、液晶層への印加電圧がほぼゼロとなるので、画素電極1018の電圧無印加状態と同じ表示状態となる。

【0082】また、素子基板1001において、データ線駆動回路が形成される領域1040aの外側であって、シール材1004を隔てた領域1007には、複数の接続端子（図示せず）が形成されて、外部からの制御信号や電源などを入力する構成となっている。

【0083】一方、対向基板1002の対向電極1008は、基板貼合部分における4隅のうち、少なくとも1箇所において設けられた導通材（図示せず）によって、素子基板1001における遮光膜1006および接続端子と電気的な導通が図られている。即ち、交流化駆動信号は、素子基板1001に設けられた接続端子を介して、遮光膜1006に、さらに、導通材を介して対向電極1008に、それぞれ印加される構成となっている。

【0084】ほかに、対向基板1002には、電気光学装置1000の用途に応じて、例えば、直視型であれば、第1に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第2に、例えば、金属材料や樹脂などからなる遮光膜（ブラックマトリクス）が設けられる。なお、色光変調の用途の場合には、例えば、後述するプロジェクタのライトバルブとして用いる場合には、カラーフィルタは形成されない。また、直視型の場合、電気光学装置1000に光を対向基板1002側から照射するフロントライトが必要に応じて設けられる。くわえて、素子基板1001および対向基板1002の電極形成面には、それぞれ所定の方向にラビング処理された配向膜（図示省略）などが設けられて、電圧無印加状態における液晶分子の配向方向を規定する一方、対向基板1002側には、配向方向に応じた偏光子（図示省略）が設けられる。ただし、液晶1005として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光子などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0085】〔4〕 実施形態の効果

以上詳述した如く、本実施形態では、遮光膜70を列方向に隣り合った画素電極50間の隙間を覆うように形成することにより、該遮光膜70が光漏れを低減することができ、液晶パネルのコントラストを高めることができる。

【0086】また、遮光膜70とその周辺部材を、数式1のような関係（Cc1>Cc2）を満足するように形成することにより、遮光膜70による寄生容量Ccおよびデ

ータ線30による寄生容量Cdについて、データ線30と遮光膜70との間に発生する容量Cc1を無視することができる。この結果、データ線30の幅寸法は、画素電極50間の隙間W0以下であれば、任意に設定することができ、該データ線30の幅寸法の自由度を高めることができる。

【0087】さらに、製造時のパターンのばらつきによるデータ線30と画素電極50間の寄生容量のばらつきがなく縦むらの発生を抑えた電気光学装置を提供することができる。

【0088】〔5〕 実施形態の変形例

〈5・1〉 第1の変形例

前記実施形態では、数式1の条件を満足させるために、第1の層間絶縁膜13の厚さ寸法D1と第2の層間絶縁膜14の厚さ寸法D2との関係を、D1<D2としたが、本発明はこれに限らず、第1の層間絶縁膜13の比誘電率をε1、第2の層間絶縁膜14の比誘電率をε2とした場合、ε1>ε2を満足するようにしてもよい。

【0089】一方、遮光膜70とデータ線30とが重なり合う面積をS1、遮光膜70と画素電極50とが重なり合う面積をS2とした場合、S1>S2を満足するようにもよい。

【0090】〈5・2〉 第2の変形例

前記実施形態では、容量線60を形成するために、画素電極50を接続導電層52を介してドレイン領域41bに接続するようにしたが、第1の層間絶縁膜13、第2の層間絶縁膜14に貫通する共通のスルーホールを形成し、このスルーホールを通して画素電極50をドレン領域41bに直接接続するようにしてもよい。

【0091】さらに、部材間の離間寸法、挟持された部材の比誘電率、重なった面積のそれぞれを設定することにより、前記条件（Cc1>Cc2）を満足するようにもよいことは勿論である。

【0092】〈5・3〉 第3の変形例

前記実施形態では、電気光学装置としてアクティブマトリックス型の液晶パネルを例示して説明したが、これに限らず、スイッチング素子としてTFT（ThinFilm Diode：薄膜ダイオード）を用いたものに適用可能である。また、液晶表示装置に限らず、エレクトロルミネッサンス素子など、各種の電気光学効果を用いて表示を行う電気光学装置にも適用可能である。

【0093】

【発明の効果】上述したように本発明によれば、列方向に隣り合った画素電極間の隙間にはデータ線が配置されると共に、該隙間を覆うように不透明な遮光膜を設け、該遮光膜と前記データ線との間の容量よりも前記遮光膜と前記画素電極との間の容量を小さくしたから、遮光膜とデータ線との間の容量が遮光膜およびデータ線による寄生容量に影響を与えることがなくなり、データ線の幅寸法を任意に設定することができる。

【図面の簡単な説明】

【図1】 本実施形態による素子基板を示す等価回路図である。

【図2】 素子基板の1画素分のレイアウトを示す平面図である。

【図3】 図2中の矢視III-III'方向から見た変形断面図である。

【図4】 図2中の矢視IV-IV'方向から見た縦断面図である。

【図5】 素子基板の製造方向におけるポリシリコン膜形成工程を示す断面図である。

【図6】 能動膜を形成する工程を示す断面図である。

【図7】 前工程によって基板上に形成された能動膜を示す平面図である。

【図8】 ゲート絶縁膜を形成する工程を示す断面図である。

【図9】 導電膜を形成する工程を示す断面図である。

【図10】 走査線を形成する工程を示す断面図である。

【図11】 走査線を形成する工程によって形成された遮光膜を示す断面図である。

【図12】 前形成工程によって基板上に形成された走査線、容量線、遮光膜を示す平面図である。

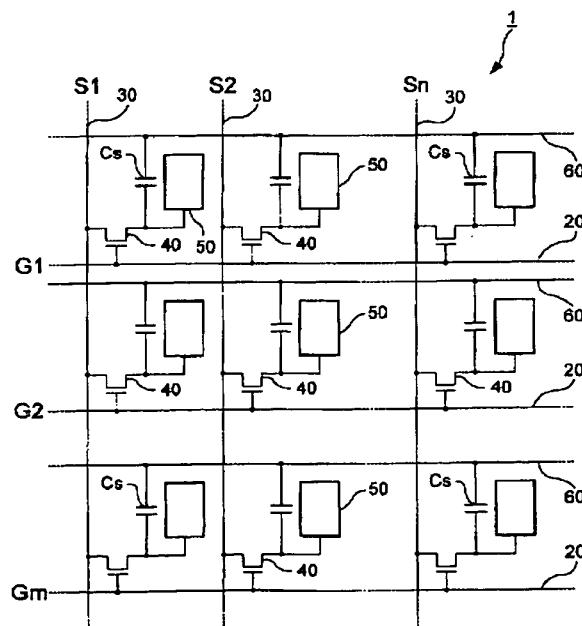
【図13】 イオン打込み工程を示す断面図である。

【図14】 層間絶縁膜を形成する工程を示す断面図である。

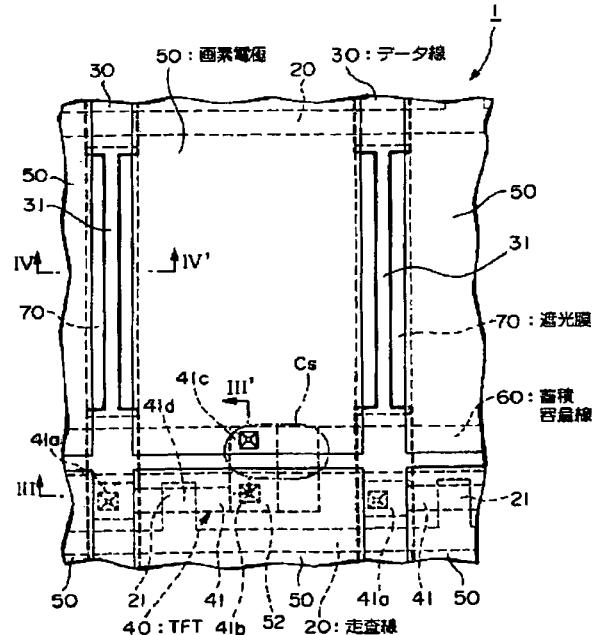
【図15】 スルーホールを形成する工程を示す断面図である。

【図16】 導電膜を形成する工程を示す断面図である。

【図1】



【図2】



る。

【図17】 データ線を形成する工程を示す断面図である。

【図18】 前工程によって基板上に形成されたデータ線、画素電極接続部材を示す平面図である。

【図19】 層間絶縁膜を形成する工程を示す断面図である。

【図20】 スルーホールを形成する工程を示す断面図である。

【図21】 ITO膜を形成する工程を示す断面図である。

【図22】 画素電極を形成する工程を示す断面図である。

【図23】 画素電極、データ線、遮光膜周辺の寸法関係を示す概略図である。

【図24】 電気光学装置の構成を示す平面図である。

【図25】 同電気光学装置の構成を示す断面図である。

【図26】 従来技術による素子基板のレイアウトを示す平面図である。

【符号の説明】

1 … 素子基板

20 … 走査線

30 … データ線

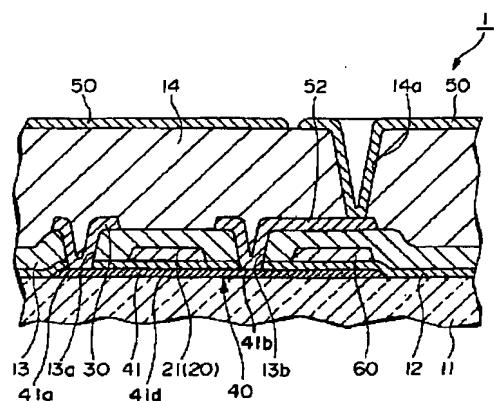
40 … TFT (スイッチング手段)

50 … 画素電極

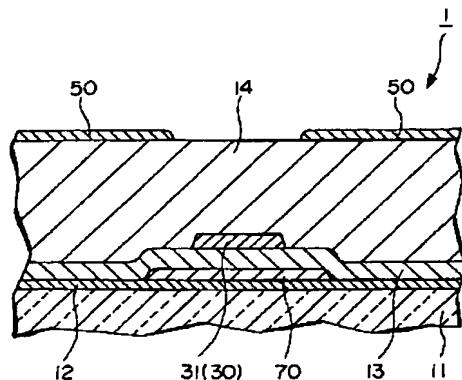
60 … 容量線

70 … 遮光膜

【図3】

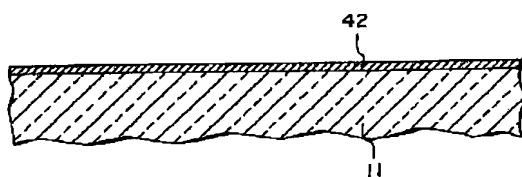


【図5】

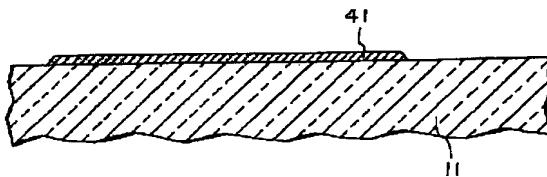


【図4】

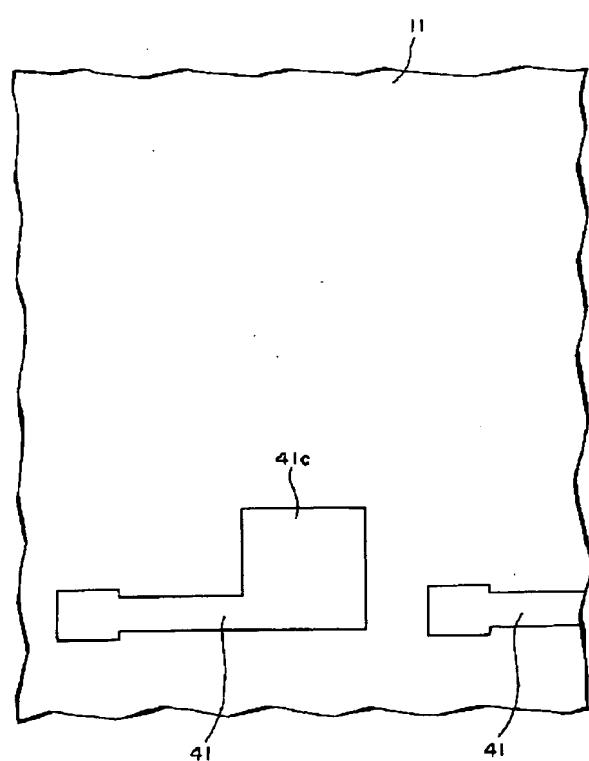
【図6】



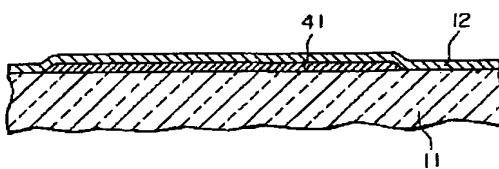
【図7】



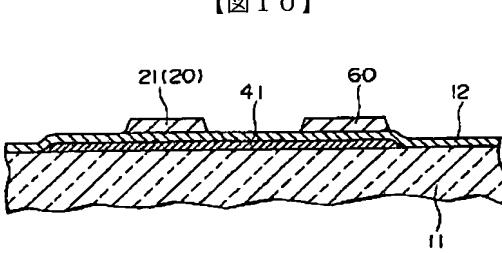
【図8】



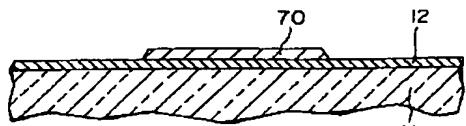
【図9】



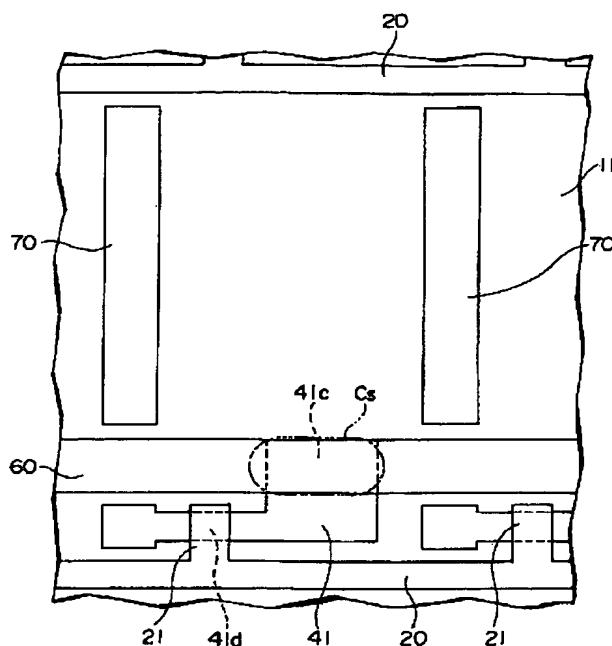
【図10】



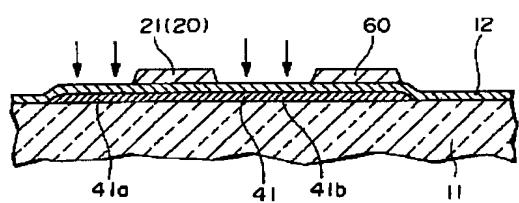
【図11】



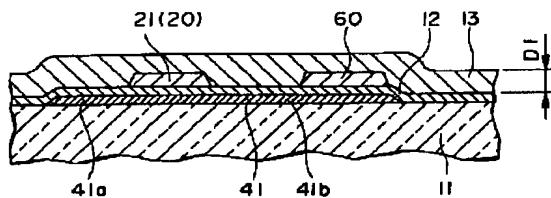
【図12】



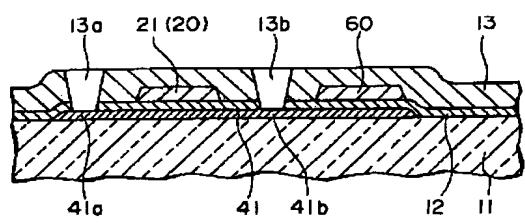
【図13】



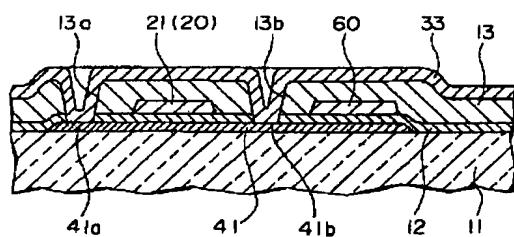
【図14】



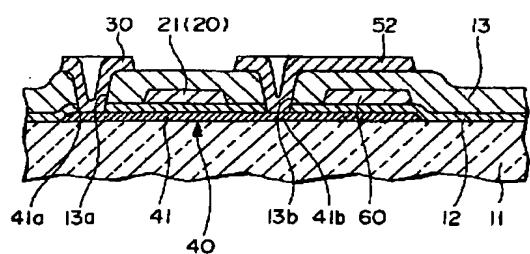
【図15】



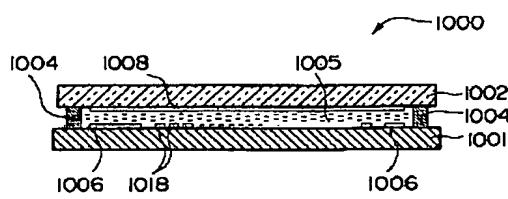
【図16】



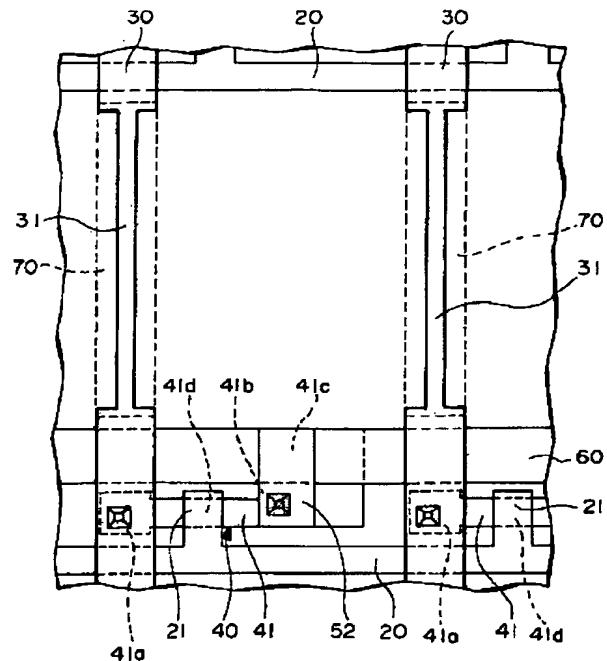
【図17】



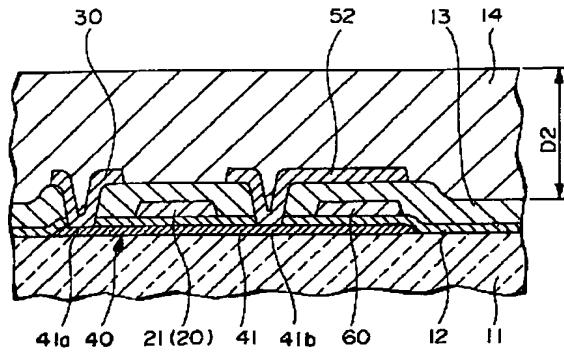
【図25】



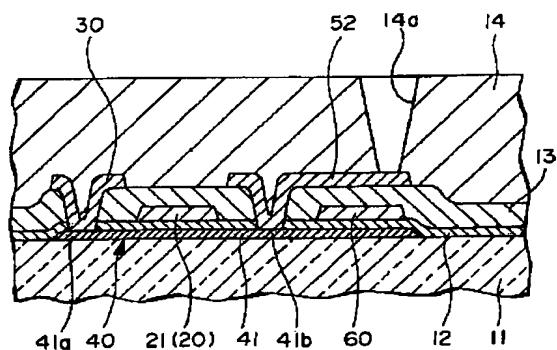
【図18】



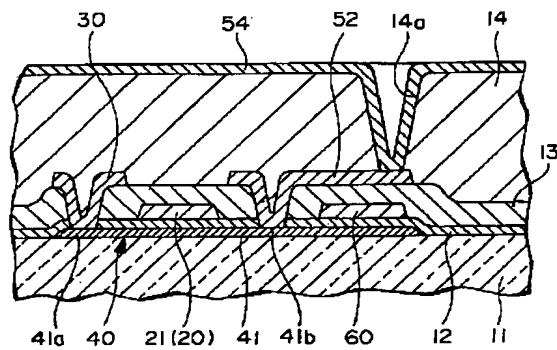
【図19】



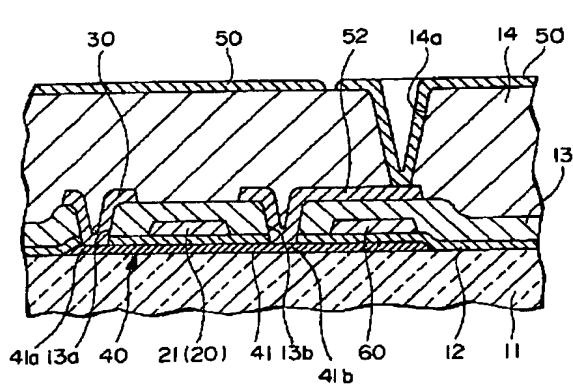
【图20】



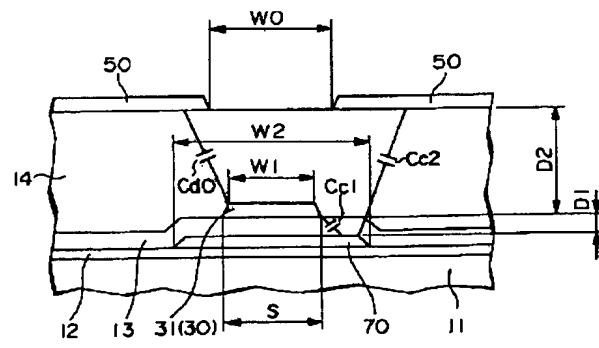
【图21】



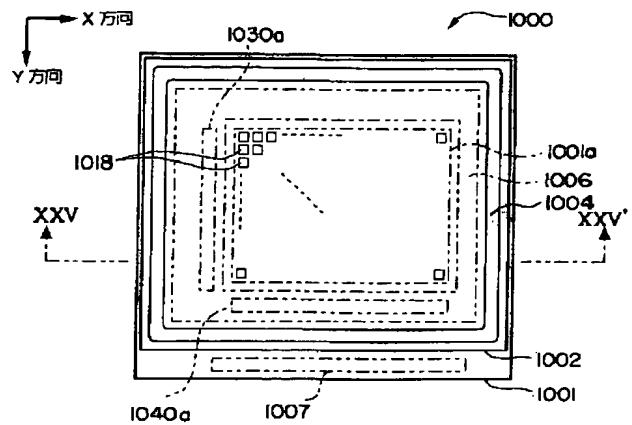
【図2.2】



[図2.3]



【図24】



【図26】

